

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-296579

(43) 公開日 平成7年(1995)11月10日

(51) Int. Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 11/401

11/41

G 1 1 C 11/ 34

3 6 2 C

3 0 1 D

3 6 2 E

審査請求 未請求 請求項の数 1 O L (全 5 頁)

(21) 出願番号 特願平6-91399

(22) 出願日 平成6年(1994)4月28日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 田中 功

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

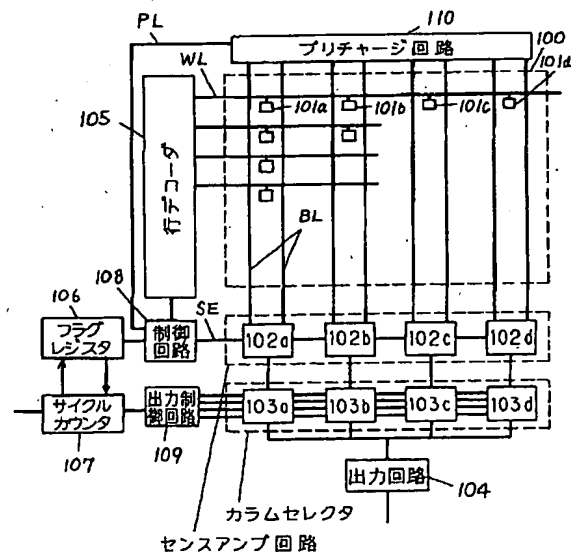
(74) 代理人 弁理士 小銀治 明 (外2名)

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】 連続するメモリ領域に対する読みだし時におけるメモリへのアクセス回数低減を可能とし、低消費電力化を実現する。

【構成】 連続して読みだされるワード数をフラグレジスタ106に格納する。このフラグとサイクルカウンタ107の値にしたがって、制御回路108により行デコーダ105、センスアンプ回路102を読みだしワード数と同じサイクル期間、同一の活性化状態に保持する。この期間中は読みだされた領域のデータはビット線上に保持されることとなる。保持されたデータを出力制御回路109によって順次出力することによって、連続する領域の読み出しを実現する。このため、メモリ本体へのアクセス回数が低減され低消費電力化が実現される。



1

## 【特許請求の範囲】

【請求項1】データを記憶するメモリセルをマトリックス上に配置したメモリセルアレイと、  
前記メモリセルに接続されデータの入出力を制御するワード線と、  
アドレス情報を解読し前記ワード線を制御する行デコーダと、  
前記メモリセルに接続され格納されているデータを読みだすビット線と、  
前記ビット線に接続され前記メモリセルから読みだしたデータを増幅し出力するセンスアンプ回路と、  
前記ビット線とデータ入出力線を電氣的に接続するカラムセクタと、  
連続して読みだすワード数を表す連続ワード数フラグを格納するフラグレジスタと、  
前記フラグレジスタの値に応じて前記行デコーダと前記センスアンプ回路に制御信号を出力する制御回路と、  
前記フラグレジスタに格納された値に応じてサイクル数をカウントするサイクルカウンタと、  
前記サイクルカウンタのカウント数とアドレス情報に応じて前記カラムセクタを切り替える出力制御部と、  
前記カラムセクタを介してセンスアンプ出力を外部へ出力する出力回路とを具備することを特徴とする半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、連続するメモリ領域へのアクセスを要求される半導体記憶装置に関するものである。

## 【0002】

【従来の技術】近年、データ処理の高速化への要求と共に、メモリアクセス時の低消費電力化への要求が高まってきた。しかしながら、メモリの高速性を維持しながら低消費電力化を実現することは容易でない。そこで、連続するメモリ領域をアクセスする場合には、連続して読みだすデータを同時にアクセスした上でこれを順次出力することによってメモリ本体へのアクセス回数を低減しメモリの高速化と低消費電力化を図った半導体記憶装置が考案されている。

【0003】以下図面を参照しながら、その半導体記憶装置の一例について説明する。図3は従来の半導体記憶装置の概略構成図を示すものであり、図4は従来例におけるタイミング図である。図3において、100はデータを記憶するメモリセル101をM×N個マトリックス状に配置したメモリアレイであり、それぞれのメモリセルにはデータを読み出すビット線対BLと、データの出力を制御するワード線WLが接続されている。302a～302dはビット線のデータを受け増幅するセンスアンプ回路である。また、310a～310dはセンスアンプにより増幅されたデータを格納するラッチ回路であり、そ

2

の出力はそれぞれカラムセクタ303a～303dに入力され、その出力部には外部への出力のために出力回路304が接続されている。308は行デコーダ、センスアンプ回路、ラッチ回路を制御する制御回路、109はカラムセクタを制御する出力制御回路である。また、106は連続して読みだすデータの数を示す連続読みだしフラグを格納するフラグレジスタであり、107はフラグレジスタの値を参照しクロックに同期してカウントアップするサイクルカウンタである。以上のように構成された半導体記憶装置について、以下その動作についてカラム数(N)が4であり連続する3アドレスのデータを読みだす場合を想定して説明する。

【0004】時刻T<sub>1</sub>において連続メモリ領域に対するアクセス命令が発行され、開始アドレス情報に従ってワード線WLが選択され活性化される。この時同時に、連続する3アドレスのデータを読みだすことがフラグレジスタ106中に書き込まれ、サイクルカウンタ107がクリアされる。活性化したワード線に接続されたメモリセル101a～101dからはビット線上にデータが読みだされ、各ビット毎に設けられたセンスアンプ回路302a～302dによって増幅される。それぞれのセンスアンプ回路で増幅されたデータはラッチ回路310a～310dに一旦格納される。この時、アクセスが開始されたアクセスサイクル1では開始アドレス情報にしたがってカラム0が選択されラッチ回路310aが出力回路に接続されカラムアドレス0に相当するデータが外部へ出力される。次のアクセスサイクル2ではサイクルカウンタの値が更新されこの値と開始アドレス情報から出力制御信号によってカラム1が選択されラッチ回路310bが出力回路に接続されカラムアドレス1に相当するデータが出力される。以下同様にカラム2のデータが出力される。この過程においてメモリアレイへのアクセスはデータをビット線上に読みだしたアクセスサイクル1の期間中のみであり、以降の2サイクル期間は出力回路に接続するラッチ回路を切り替えただけであり、この期間中はビット線のプリチャージなどメモリアレイ部分で消費される電流は発生しない。連続する3アドレスのデータを1度にアクセスしデータ記憶回路に格納し順次出力することにより、アクセススピードを阻害することなく低消費電力化を実現する。

## 【0005】

【発明が解決しようとする課題】上記のような構成においては、センスアンプの出力部分にデータを格納するラッチ回路を設け、メモリセルから読みだされたNカラム分(この例の場合は3)のデータを一旦前記のデータ記憶回路に格納し、出力制御部で外部出力回路に接続する入出力データ線を切り替えることによって連続したメモリ空間へのアクセスを実現する。このため、上記のような構成では、データ出力部に連続して読みだすワード数のデータのデータ記憶回路を設けることが必要となりハードウ

エア量が増大するという問題点を有していた。

【0006】本発明の目的は上記問題点に鑑み、簡単な回路を付加するだけで連続するメモリ領域に対するアクセスを実現し、メモリへのアクセス回数を削減することにより連続読みだし動作時の消費電力を低減する半導体記憶装置を提供するものである。

【0007】

【課題を解決するための手段】上記問題点を解決するために本発明の半導体記憶装置は、連続するアドレス空間をアクセスしている期間中読みだされるアドレスに相当するワード線を活性化状態に維持し、同時にセンスアンプ回路も活性化状態に維持することにより、読みだされるメモリ領域のデータをビット線上に保持することを可能とし、この出力を所定の制御信号により順次出力回路に接続するものである。

【0008】

【作用】本発明は上記した構成によって、小規模な回路の追加によって連続するメモリ領域へのアクセス時の低消費電力化が可能となる。

【0009】

【実施例】以下本発明の一実施例の半導体記憶装置について、図面を参照しながら説明する。

【0010】図1は本発明の実施例における半導体記憶装置の概略構成図である。図1において、101a~101dはデータを記憶するメモリセルであり、データの出力を制御するワード線WLと、データを出力するビット線BLに接続されている。102a~102dはビット線のわずかな電位の遷移を検出し増幅して出力する電圧差動型のセンスアンプ回路である。また、センスアンプにより増幅されたデータはそれぞれカラムセクタ103a~103dに入力され、その出力部には外部への出力のために出力回路104が接続されている。108は行デコーダ105、センスアンプ回路102、プリチャージ回路110を制御する制御回路、109はカラムセクタ103を制御する出力制御回路である。また、106は連続して読みだすデータの数を示す連続読みだしフラグを格納するフラグレジスタであり、107はフラグレジスタの値を参照しクロックに同期してカウントアップするサイクルカウンタである。

【0011】以上のように構成された半導体記憶装置について、以下図1及び図2を用いてその動作を説明する。

【0012】ここで、図2は上記半導体記憶装置のタイミング図である。本実施例においてはカラム数を4とし、連続する3アドレスを連続して読みだす場合について説明する。本発明半導体記憶装置では、初期状態においては、ビット線BLはプリチャージレベルにプリチャージされている。この状態ではセンスアンプ回路は非活性化状態であり、出力線には一定の電位が出力されている。

【0013】いま、時刻T1において連続メモリ領域に対

するアクセス命令が発行され、開始アドレス情報に従ってワード線WLが活性化される。この時、連続する3アドレスのデータを読みだすことがフラグレジスタ中に書き込まれ、サイクルカウンタがクリアされる。活性化されたワード線に接続されているメモリセル101a~101dからは記憶されたデータがビット線BL上に読みだされる。制御回路108からのセンスアンプ活性化信号SEによりセンスアンプ回路102a~102dが活性化状態となりビット線上のデータが増幅され、それぞれのビット線上にメモリセルの内容が確定する。アクセスが開始されたアクセスサイクル1では開始アドレス情報にしたがってカラム0が選択されており102aのセンスアンプ出力がカラムセクタ103aを通して出力回路104に接続されカラムアドレス0に相当するデータが外部へ出力される。次のアクセスサイクル2ではサイクルカウンタの値が更新されこの値と開始アドレス情報から出力制御信号によってカラム1が選択されセンスアンプ回路102bが出力回路104に接続されカラムアドレス1に相当するデータが出力される。このときフラグレジスタ内の連続読みだしフラグは更新されておらず、このフラグを参照する制御回路108から出力される制御信号により行デコーダ、センスアンプ回路をメモリサイクル1の活性化状態で保持する。また、同時にこのフラグが立っている期間中は制御回路108によってプリチャージが停止される。フラグレジスタはサイクルカウンタの値が（連続読みだしワード数-1）の値になる迄クリアされない。したがって、メモリサイクル1でビット線上に出力されたデータは、メモリサイクル2に入っても保持された状態にある。以下同様にカラム2のデータが出力される。サイクルカウンタの値が2（即ち、連続読みだしワード数-1）になると、フラグレジスタの値はクリアされる。これによりサイクル4にはいると、ワード線WL、センスアンプ回路102a~102dの活性化状態は制御回路108によって解除され、次のメモリアccessの準備にはいる。この過程においてメモリアレイへのアクセスはデータをビット線上に読みだしたアクセスサイクル1の期間中のみであり、以降の2サイクル期間は出力回路に接続する入出力データ線を切り替えただけであり、この期間中はビット線のプリチャージなどメモリアレイ部分で消費される電流は発生しない。連続する3アドレスのデータを1度にアクセスし順次出力することにより、アクセススピードを阻害することなく低消費電力化を実現する。本実施例によれば、連続するメモリ領域が複数のワード線にまたがらない場合、最大カラム数分（この場合4アドレス分）のデータを1アクセスサイクルでアクセスすることが出来る。

【0014】以上のように本実施例によれば、連続ワード数フラグを格納するフラグレジスタと、前記連続ワード数フラグに応じてカウントするサイクルカウンタと、前記フラグレジスタの値に基づいて行デコーダ、センス

10

20

30

40

50

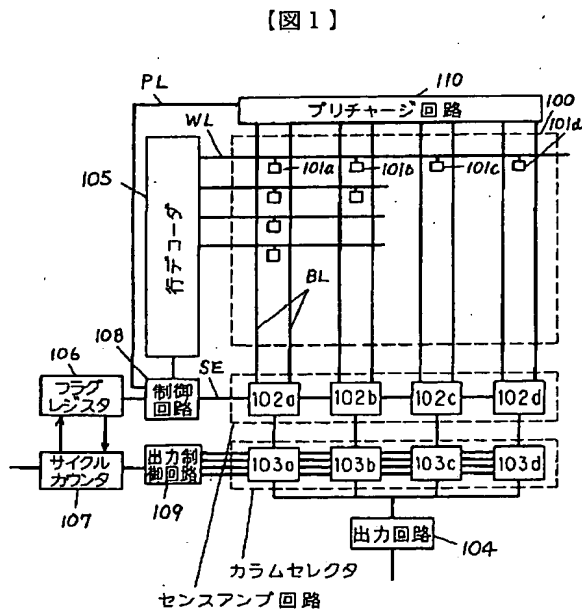
アンプ回路、プリチャージ回路を制御する制御回路と、前記サイクルカウンタの値に応じてカラム選択信号を出力する出力制御回路を設け、選択状態に保持したメモリアレイとセンスアンプ回路によって1アクセスサイクルでカラム数分のデータを保持し、以下順次出力することによってハードウェア量をほとんど増加することなく連続メモリ領域アクセス時に低消費電力化を実現する半導体記憶装置を構成することができる。また、本実施例では、センスアンプ回路として電圧差動型のセンスアンプ回路を用いているため、1度ビット線上のデータが確定

【0015】

【発明の効果】以上のように本発明は連続するメモリ領域へのアクセス時に、連続して読みだすワード数(N)に応じて、読みだされる領域に対応するワード線をNサイクルの間活性化状態に保持し、同時にセンスアンプ回路、プリチャージ回路もそれと同期して制御してやることにより、小規模な回路追加でメモリ本体へのアクセス

【図面の簡単な説明】

【図1】本発明の実施例における半導体記憶装置の概略\*



\* 構成図

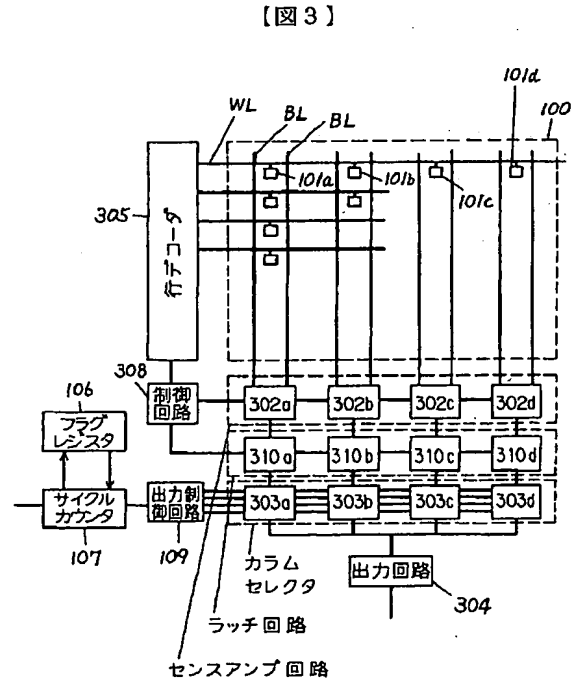
【図2】同実施例における動作説明のためのタイミング図

【図3】従来の半導体記憶装置の概略構成図

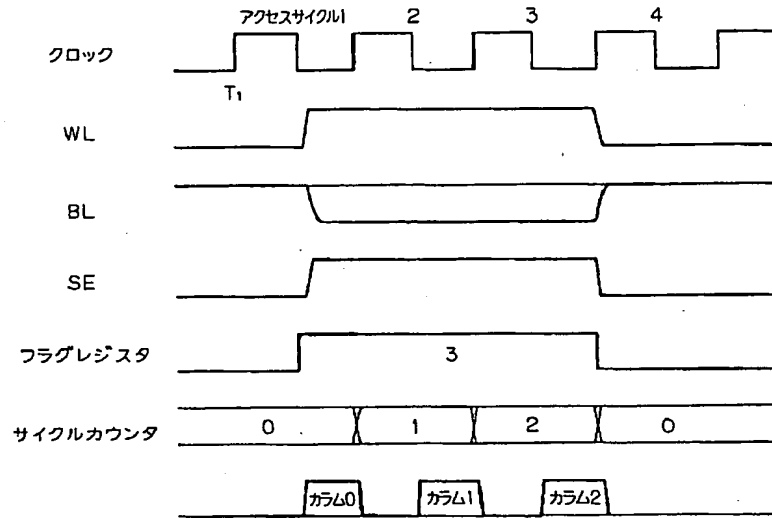
【図4】同従来例における動作説明のためのタイミング図

【符号の説明】

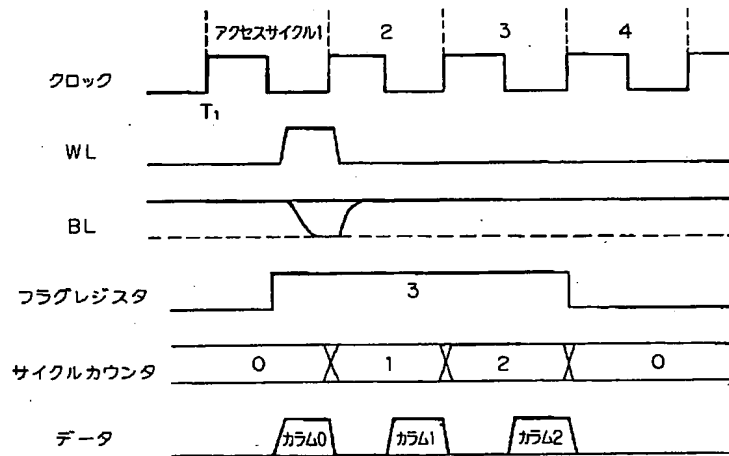
100 メモリアレイ  
101a~101d メモリセル  
102a~102d センスアンプ回路  
103a~103d カラムセクタ  
104 出力回路  
105 行デコーダ  
106 フラグレジスタ  
107 サイクルカウンタ  
108 制御回路  
109 出力制御回路  
110 プリチャージ回路  
BL ビット線  
WL ワード線  
PR プリチャージ制御信号  
SE センスアンプ活性化信号



【図2】



【図4】



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-296579

(43)Date of publication of application : 10.11.1995

(51)Int.Cl.

G11C 11/401

G11C 11/41

(21)Application number : 06-091399

(71)Applicant : MATSUSHITA ELECTRIC IND CO  
LTD

(22)Date of filing : 28.04.1994

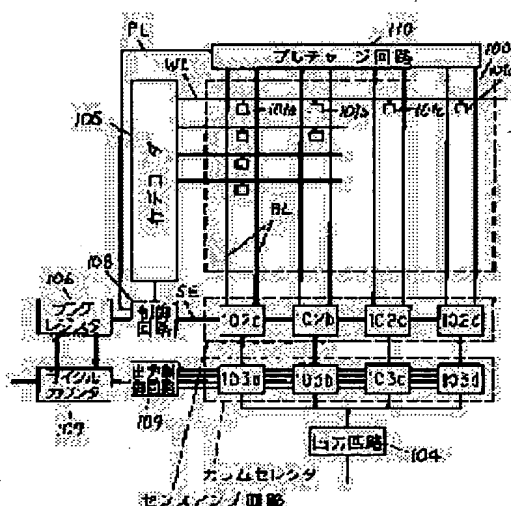
(72)Inventor : TANAKA ISAO

## (54) SEMICONDUCTOR STORAGE DEVICE

### (57)Abstract:

**PURPOSE:** To reduce the number of times of access to a memory at the time of reading to continuous memory areas and to reduce power consumption.

**CONSTITUTION:** The number of words read out continuously are stored in a flag register 106. A row decoder 105 and a sense amplifier circuit 102 are held to the same activated state by a control circuit 108 for the same cycle period as the number of read words according to the flags and a value of a cycle counter 107. The data in a read area are held on a bit line while the period. By successively outputting the held data with an output control circuit 109, the reading to continuous areas is realized. Thus, the number of times of access to a memory main body is reduced, and power consumption is reduced.



## LEGAL STATUS

[Date of request for examination]

07.01.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3152061

[Date of registration]

26.01.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The semiconductor memory characterized by providing the following. The memory cell array which has arranged on a matrix the memory cell which memorizes data The word line which is connected to the aforementioned memory cell and controls I/O of data The line decoder which decodes address information and controls the aforementioned word line The bit line which reads the data connected and stored in the aforementioned memory cell, The sense amplifier circuit which amplifies and outputs the data which connected with the aforementioned bit line and were read from the aforementioned memory cell, The column selector which connects electrically the aforementioned bit line and a data input output line, The flag register which stores the number flag of continuation WORD showing the number of WORD read continuously, The control circuit which outputs a control signal to the aforementioned line decoder and the aforementioned sense amplifier circuit according to the value of the aforementioned flag register, The cycle counter which counts the number of cycles according to the value stored in the aforementioned flag register, The output-control section which changes the aforementioned column selector according to the number of counts and address information of the aforementioned cycle counter, and the output circuit which outputs a sense amplifier output to the exterior through the aforementioned column selector

---

[Translation done.]



## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the semiconductor memory of which access to continuous memory storage is required.

[0002]

[Description of the Prior Art] In recent years, the demand to low-power-izing at the time of memory access has been increasing with the demand to improvement in the speed of data processing. However, it is not easy to realize low-power-ization, maintaining the rapidity of memory. Then, the semiconductor memory which reduced the number of times of access to a memory main part, and attained improvement in the speed and low-power-izing of memory is devised by outputting this one by one, after accessing simultaneously the data read continuously, when continuous memory storage is accessed.

[0003] An example of the semiconductor memory is explained referring to a drawing below.

Drawing 3 The outline block diagram of the conventional semiconductor memory is shown, and drawing 4 is a timing chart in the conventional example. In drawing 3, 100 is a memory array which has arranged the memory cell 101 which memorizes data in the shape of an MxN individual matrix, and the word line WL which controls the bit line pair BL which reads data, and the output of data is connected to each memory cell. 302a-302d are sense amplifier circuits which receive and amplify the data of a bit line. Moreover, 310a-310d are latch circuits which store the data amplified by the sense amplifier, the output is inputted into the column selectors 303a-303d, respectively, and the output circuit 304 is connected to the output section for the output to the exterior. The control circuit by which 308 controls a line decoder, a sense amplifier circuit, and a latch circuit, and 109 are output-control circuits which control a column selector. Moreover, 106 is a flag register which stores the continuation readout flag which shows the number of the data read continuously, and 107 is a cycle counter counted up with reference to the value of a flag register synchronizing with a clock. It explains supposing the case where the data of the three address with which the number of columns (N) is 4, and continues [ operation / the ] below about the semiconductor memory constituted as mentioned above are read.

[0004] In time T1, the access instruction to continuation memory storage is published, and a word line WL is chosen and activated according to starting address information. At this time, simultaneously, reading the data of the continuous three address is written in into a flag register 106, and a cycle counter 107 is cleared. From the memory cells 101a-101d connected to the activated word line, data are read on a bit line and it is amplified by the sense amplifier circuits 302a-302d prepared for every bit. The data amplified in each sense amplifier circuit are once stored in latch circuits 310a-310d. At this time, by the access cycle 1 by which access was started, a column 0 is chosen according to starting address information, and the data with which it connects with an output circuit and with which latch circuit 310a is equivalent to a column address 0 are outputted to the exterior. In the following access cycle 2, the value of a cycle counter is updated, a column 1 is chosen from this value and starting address information by the output-control signal, and the data with which it connects with an output circuit and with which latch circuit 310b is equivalent to a column address 1 are outputted. The data of a column 2 are

outputted like the following. In this process, access to a memory array is only during the period of the access cycle 1 which read data on the bit line, subsequent two-cycle periods only changed the latch circuit linked to an output circuit, and the current from which it is consumed in memory array portions, such as precharge of a bit line, during this period is not generated. Low-power-ization is realized by accessing at a time, storing the data of the continuous three address in a data-storage circuit, and outputting them one by one, without checking access speed.

[0005]

[Problem(s) to be Solved by the Invention] In the above composition, the latch circuit which stores data in the output portion of a sense amplifier is prepared, the data for N column read from the memory cell (in the case of this example, it is 3) are once stored in the aforementioned data-storage circuit, and access to the room which continued by changing the I / O data line which connects with an external output circuit in the output-control section is realized. For this reason, with the above composition, it was necessary to prepare the data-storage circuit for several WORD minutes read succeeding the data output section, and had the trouble that the amount of hardware increased.

[0006] The purpose of this invention realizes access to the memory storage which continues only by adding an easy circuit in view of the above-mentioned trouble, and offers the semiconductor memory which reduces the power consumption at the time of continuation readout operation by cutting down the number of times of access to memory.

[0007]

[Means for Solving the Problem] The semiconductor memory of this invention is enabled to hold the data of the memory storage read by maintaining the word line equivalent to the address read during the period which has accessed the continuous address space to an activated state, and maintaining a sense amplifier circuit to an activated state simultaneously on a bit line, in order to solve the above-mentioned trouble, and this output is connected to an output circuit one by one with a predetermined control signal.

[0008]

[Function] By the above-mentioned composition, low-power-ization of this invention at the time of access to the memory storage which continues by the addition of a small-scale circuit is attained.

[0009]

[Example] The semiconductor memory of one example of this invention is explained below, referring to a drawing.

[0010] Drawing 1 is the outline block diagram of the semiconductor memory in the example of this invention. In drawing 1, 101a-101d, it is the memory cell which memorizes data and connects with the word line WL which controls the output of data, and the bit line pair BL which outputs data. 102a-102d are voltage differential type sense amplifier circuits which detect, amplify and output changes of the slight potential of a bit line. Moreover, the data amplified by the sense amplifier are inputted into the column selectors 103a-103d, respectively, and the output circuit 104 is connected to the output section for the output to the exterior. The control circuit by which 108 controls the line decoder 105, the sense amplifier circuit 102, and the precharge circuit 110, and 109 are output-control circuits which control the column selector 103. Moreover, 106 is a flag register which stores the continuation readout flag which shows the number of the data read continuously, and 107 is a cycle counter counted up with reference to the value of a flag register synchronizing with a clock.

[0011] About the semiconductor memory constituted as mentioned above, the operation is explained using drawing 1 and drawing 2 below.

[0012] Here, drawing 2 is the timing chart of the above-mentioned semiconductor memory. The number of columns is set to 4 in this example, and the case where the continuous three address is read continuously is explained. In this invention semiconductor memory, the bit line BL is precharged in the initial state at precharge level. In this state, a sense amplifier circuit is a non-active state, and fixed potential is outputted to the output line.

[0013] Now, in time T1, the access instruction to continuation memory storage is published, and

a word line WL is activated according to starting address information. At this time, reading the data of the continuous three address is written in into a flag register, and a cycle counter is cleared. The memorized data are read from the memory cells 101a-101d connected to the activated word line on a bit line BL. The sense amplifier circuits 102a-102d will be in an activated state with the sense amplifier activation signal SE from a control circuit 108, the data on a bit line are amplified, and the content of a memory cell is decided on each bit line. In the access cycle 1 by which access was started, the column 0 is chosen according to starting address information, and the data with which it connects with an output circuit 104 through column selector 103a and with which the sense amplifier output of 102a is equivalent to a column address 0 are outputted to the exterior. In the following access cycle 2, the value of a cycle counter is updated, a column 1 is chosen from this value and starting address information by the output-control signal, and the data with which it connects with an output circuit 104 and with which sense amplifier circuit 102b is equivalent to a column address 1 are outputted. At this time, the continuation readout flag in a flag register is not updated, but holds a line decoder and a sense amplifier circuit with the activated state of a memory cycle 1 with the control signal outputted from the control circuit 108 which refers to this flag. Moreover, precharge is stopped by the control circuit 108 during the period this flag stands simultaneously. A flag register is not cleared until it becomes the value of the value (number of continuation readout WORD - 1) of a cycle counter. Therefore, the data outputted on the bit line by the memory cycle 1 are in the state where it was held even if it went into the memory cycle 2. The data of a column 2 are outputted like the following. If the value of a cycle counter is set to 2 (namely, number of continuation readout WORD - 1), the value of a flag register will be cleared. When it is in a cycle 4 by this, a word line WL and sense amplifier circuits [ 102a-102d ] activated state is canceled by the control circuit 108, and is in preparation of the next memory access. In this process, access to a memory array is only during the period of the access cycle 1 which read data on the bit line, subsequent two-cycle periods only changed the I / O data line linked to an output circuit, and the current from which it is consumed in memory array portions, such as precharge of a bit line, during this period is not generated. Low-power-ization is realized by accessing at a time and outputting the data of the continuous three address one by one, without checking access speed. When continuous memory storage does not straddle two or more word lines according to this example, the data for several maximum column minutes (a part for the four address in this case) can be accessed by one access cycle.

[0014] The flag register which stores the number flag of continuation WORD as mentioned above according to this example, The cycle counter counted according to the aforementioned number flag of continuation WORD, The control circuit which controls a line decoder, a sense amplifier circuit, and a precharge circuit based on the value of the aforementioned flag register, The output-control circuit which outputs a column selection signal according to the value of the aforementioned cycle counter is prepared. The data for several column minutes are held by one access cycle by the memory array and sense amplifier circuit which were held in the selection state. The semiconductor memory which realizes low-power-ization at the time of continuation memory field access can be constituted without increasing most amounts of hardware by outputting one by one below. Moreover, at this example, since the voltage differential type sense amplifier circuit is used as a sense amplifier circuit, if the data on a 1-time bit line are decided, in order that a direct-current path may disappear, in the time zone after it, it has the effect referred to as being able to press down the increase in power consumption.

[0015]

[Effect of the Invention] As mentioned above, by holding the word line corresponding to the field read to the activated state between N cycles according to the number of WORD (N) read succeeding the time of access to continuous memory storage, and controlling a sense amplifier circuit and a precharge circuit simultaneously synchronizing with it, this invention can reduce the number of times of access to a memory main part by small-scale circuit addition, and can realize low-power-ization.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] The outline block diagram of the semiconductor memory in the example of this invention

[Drawing 2] The timing chart for the explanation of operation in this example

[Drawing 3] The outline block diagram of the conventional semiconductor memory

[Drawing 4] The timing chart for the explanation of operation in the example of \*\*\*\*

[Description of Notations]

100 Memory Array

101a-101d Memory cell

102a-102d Sense amplifier circuit

103a-103d Column selector

104 Output Circuit

105 Line Decoder

106 Flag Register

107 Cycle Counter

108 Control Circuit

109 Output-Control Circuit

110 Precharge Circuit

BL Bit line

WL Word line

PR Precharge control signal

SE Sense amplifier activation signal

---

[Translation done.]